

Концепція Побудови Логічних і Арифметичних Пристроїв для Багатозначних Логік

Юрій Гунченко

кафедра математичного забезпечення комп'ютерних систем
Одеський національний університет ім. І.І. Мечникова
Одеса, Україна
7996445@mail.ru

Світлана Кузніченко

кафедра інформаційних технологій
Одеський державний екологічний університет
Одеса, Україна
skuznichenko@gmail.com

Вікторія Левчук

кафедра математичного забезпечення комп'ютерних систем
Одеський національний університет ім. І.І. Мечникова
Одеса, Україна
levchuk.viktoria@stud.onu.edu.ua

Олексій Олейник

кафедра комп'ютерної алгебри та дискретної математики
Одеський національний університет ім. І.І. Мечникова
Одеса, Україна
db74c9@gmail.com

The Concept of Constructing Logical and Arithmetical Devices of Multivalued Logic

Yuri Gunchenko

dept. of Mathematical Support of Computer Systems
Odessa I.I.Mechnikov National University
Odessa, Ukraine
7996445@mail.ru

Svitlana Kuznichenko

dept. of Information Technologies
Odessa State Environmental University
Odessa, Ukraine
skuznichenko@gmail.com

Viktoria Levchuk

dept. of Mathematical Support of Computer Systems
Odessa I.I.Mechnikov National University
Odessa, Ukraine
levchuk.viktoria@stud.onu.edu.ua

Alexey Oleinik

dept. of The Computing Algebra and Discrete Mathematics
Odessa I.I.Mechnikov National University
Odessa, Ukraine
db74c9@gmail.com

Анотація—В роботі розглядається проблема розвитку елементної бази недвійкових обчислювальних систем. Показано, що елементи на двійковій логіці майже вичерпали потенціал розвитку. Запропоновано принципи побудови логіки, значність яких перевищує двійку. Запропоновано структура багатопорогового елемента багатозначної логіки (БПЕБЛ), за допомогою якої можна побудувати логічні та арифметичні елементи логік різної значності, запропоновано структурну схему елемента для трійкової симетричної логіки, наведено приклади побудови деяких елементів на її основі.

Abstract—The paper analyzes the modern development of binary elements and systems based on this elements. The paper shows that elements on binary logic have almost completely

exhausted the its potential of development. As a prospect of further development, the creation and use of fundamentally new solutions based on non-binary systems of calculation is offered. As one of the possible variants, a multi-threshold element of multivalued logic (MTEML) is offered, on the basis of which it is possible to create logical and arithmetic devices for multivalued logics. The features of MTEML are that it operates not the potential but the current values of the signals, and that it allows to forme any number of thresholds for distinguishing the input signals or their sums. In the paper the term of functions terlev is introduced, which describes the set of input signals, in detail the structure and principles of the operation of the MTEML and output signals that can be united to form the necessary functions are described. The structure, scheme solutions and principles of the use of MTEML with four symmetric thresholds for ternary

symmetric logic are offered. Examples of the use of MTEML are shown in the paper: the structure of the ternary half-adder, the principles of combining its outputs to obtain sum and carry signals are shown. The paper shows that the proposed systems and new solutions based on MTEML are much simpler than existing known analogs.

Ключові слова—багатозначна система числення; недвійкова обчислювальна система; трійкова симетрична система; трійковий напісуматор; елемент багатозначної логіки

Keywords— multivalued logic; non-binary computing system; ternary symmetric system; ternary half-adder; element of multivalued logic

I. ВСТУП

Вузли та блоки сучасних систем, як власне і будь-які обчислювальні системи будуються на двійковій логіці. У той же час існуючі системи вже практично вичерпали потенціал розвитку, не створюються принципово нові рішення на основі двійкової системи числення. Єдиний якісний шлях сучасного розвитку двійкових систем – вдосконалення технологій їх виробництва, шляхом зменшення фізичних розмірів напівпровідникових елементів. Однак, і цей варіант розвитку себе практично вичерпав.

Тому єдиним шляхом подальшого розвитку елементної бази обчислювальних систем є створення принципово нових технічних рішень на основі недвійкових, багатозначних логік.

Відома велика кількість різноманітних рішень на основі багатозначних систем числення, більшість з яких пов'язані з трійковою системою [1–8], так як вона найекономічніша. Відомі реалізації багатозначних логічних і арифметичних елементів, частіше створюються тільки під конкретну систему числення, зазвичай є різними для конкретних пристроїв однієї значності.

Науково-технічною проблемою створення систем багатозначної логіки є відсутність перевірених схемотехнічних рішень і укорінена думка про складність подібних систем. Дійсно, недвійкові елементи є більш складними, проте за рахунок зменшення кількості елементів і зв'язків між ними – недвійкові системи можуть виявитися більш простими, при цьому володіти великими логічною і арифметичною потужностями, простим формальним описом, знайти більш широке застосування.

II. БАГАТОПороГОВИЙ ЕЛЕМЕНТ БАГАТОЗНАЧНОЇ ЛОГІКИ

Одним з варіантів вирішення поставленої науково-технічної проблеми є реалізація багатозначних елементів на основі БПЕБЛ [9].

В роботі запропонована структура БПЕБЛ (рис. 1), на основі якої можна реалізувати логічні і арифметичні елементи для будь-якої багатозначної системи числення.

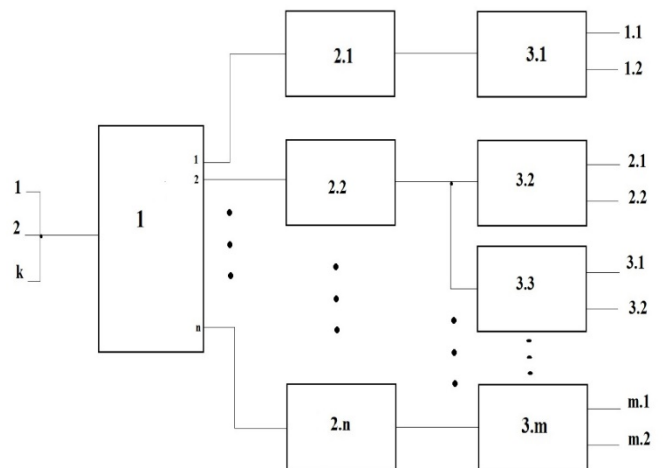


Рис. 1. Структурна схема багатопорогового елемента багатозначної логіки

1 – блок формування порогів, 2.1...2.n – емітерні повторювачі, 3.1...3.m – струмові перемикачі.

На вхід блоку формування порогів (БФП) подаються k вихідних шин попередніх елементів, а n виходів поєднуються з входами n емітерних повторювачів (ЕП) 2.1...2.n, вихід кожного з яких з'єднано з входом щонайменше одного струмового перемикача (СП) 3.1...3.m, кожний з яких має два виходи, причому виходи всіх m струмових перемикачів у сукупності формують вихідну шину БПЕБЛ.

Особливості запропонованої структури:

- Система оперує не з потенціальними, а зі струмовими значеннями сигналів, тому виходи БПЕБЛ можуть об'єднуватися у довільній кількості, але подаватися сигнал може тільки на вхід одного елемента.
- Можливість формування будь якої кількості порогів, які БПЕБЛ в змозі розрізнити.

Від кількості порогів БФП залежить кількість рівнів вхідної змінної, які БПЕБЛ в змозі розрізнити й, відповідно, розрядність змінної або складність операцій, які можуть виконуватися.

Запропонована система працює таким чином. На вхід БФП 1 поступають k дискретних струмових сигналів I_j з попередніх елементів. Вони можуть приймати одне з типових значень (наприклад, для двійкової логіки таких значень буде два: $I_j = +1, I_j = 0$; для трійкової симетричної системи таких значень буде три: $I_j = +1, I_j = 0, I_j = -1$).

БФП формує необхідну кількість порогів n . Його n виходів з'єднуються з входами емітерних повторювачів (ЕП) 2.1...2.n. В залежності від результату додавання вхідних струмів $\sum I_j$ активується частка виходів БФП, і відповідні їм ЕП. Активні ЕП формують сигнали на підключених до них струмових перемикачів (СП) 3.1...3.m. В залежності від вхідного сигналу кожний СП

формує стандартний струм I_{ϕ} на одному зі своїх двох виходів.

Виходи струмових перемикачів можуть об'єднуватися у довільних комбінаціях для формування необхідної логіки функціонування багатопорогового елемента багатозначної логіки.

III. ВИКОРИСТАННЯ БПЕБЛ ДЛЯ ТРІЙКОВОЇ СИМЕТРИЧНОЇ ЛОГІКИ

На прикладі трійкової симетричної логіки розглянемо перетворення, що виконуються багатопороговим елементом багатозначної логіки з чотирма симетричними порогоми $n = 4$ (відповідно 5 рівнями).

Структура можливої реалізації наведена на рис.2. На вхід БФП поступають k дискретних струмових сигналів I_j з вихідних шин попередніх елементів.

$$k = k_{+1} + k_{-1} + k_0,$$

де k_{+1} – число сигналів, поточні значення яких $+1$, k_{-1} – число сигналів, поточні значення яких -1 , k_0 – число сигналів, поточні значення яких 0 .

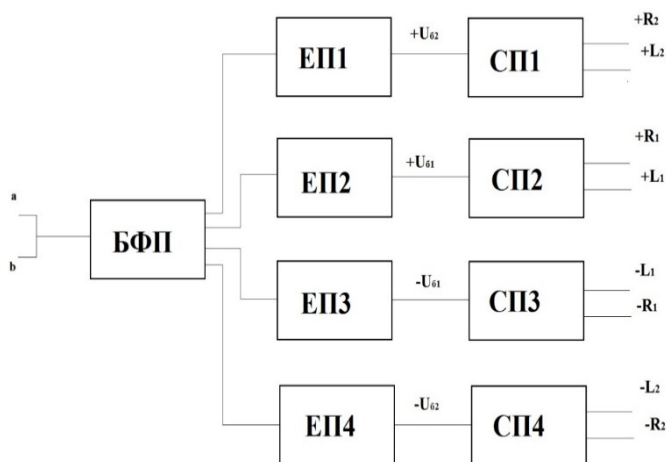


Рис. 2. БПЕБЛ з чотирма симетричними порогоми

В схемі чотири емітерних повторювачів (ЕП1...ЕП4) та чотири струмових перемикачів (СП1...СП4). На БФП може подаватися будь-яка кількість вхідних сигналів k . Значення напруг, що формуються на виходах ЕП і відповідно подаються на входи струмових перемикачів наведені у таблиці 1.

ТАБЛИЦЯ II. Значення напруг на виходах ЕП1...ЕП4

Сума вхідних струмів	ЕП1 (+U62)	ЕП2 (+U61)	ЕП3 (-U61)	ЕП4 (-U62)
--	1	1	0	0
-	0	1	0	0
0	0	0	0	0
+	0	0	1	0
++	0	0	1	1

У таблиці 1 позначено «1» – активний сигнал (який впливає на СП), «0» – неактивний сигнал (який не впливає на СП) на виході відповідного ЕП.

Виходи СП, в залежності від вхідних сигналів, фактично від функції $terlev$, наведено у таблиці 2.

ТАБЛИЦЯ III. Вихідні сигнали СП1...СП4

Сума вхідних струмів	Вихідні сигнали струмових перемикачів							
	СП1		СП2		СП3		СП4	
Terlev	+R2	+L2	+R1	+L1	-R1	-L1	-R2	-L2
--	0	+	0	+	-	0	-	0
-	+	0	0	+	-	0	-	0
0	+	0	+	0	-	0	-	0
+	+	0	+	0	0	-	-	0
++	+	0	+	0	0	-	0	-

IV. РЕАЛІЗАЦІЯ БПЕБЛ З ЧОТИРМА СИМЕТРИЧНИМИ ПОРОГОМИ

На рис. 3 наведено електричну принципову схему реалізації БПЕБЛ з чотирма симетричними порогоми, яку можна використати для побудови майже будь-яких логічних і арифметичних елементів трійкової симетричної логіки.

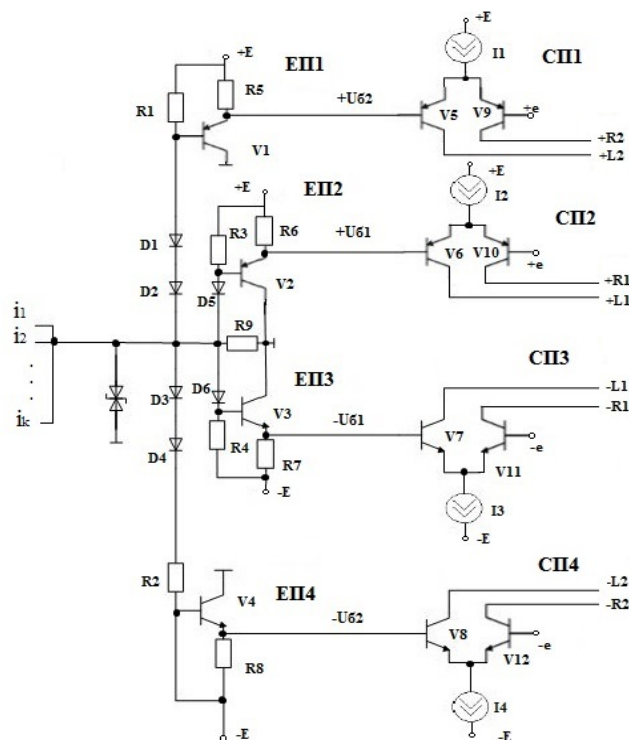


Рис. 3. Принципова схема БПЕБЛ з чотирма порогоми та чотирма виходами

БФП складається з обмежувача вхідної напруги $D1$, резистора навантаження $R9$, та схем формування порогів – $R1, D1, D2$ – для ЕП1, $R3, D5$ – для ЕП2, $R4, D6$ – для ЕП3, $R2, D3, D4$ – для ЕП4. Самі емітерні повторювачі зібрано на елементах – ЕП1 на $V1, R5$, ЕП2 на $V2, R6$, ЕП3 на $V3, R7$, ЕП4 на $V4, R8$. Вихідні сигнали ЕП формуються в залежності від вхідних сигналів згідно таблиці 1 і

подаються на СП. СП1 зібрано на транзисторах V5, V9 і джерелі струму I1. Відповідно СП2 на V6, V10, I2, СП3 на V7, V11, I3, СП4 на V8, V12, I4. +E, -E – джерела опорної напруги.

Якщо сигнал на вході СП активний («1» по таблиці 1), на виході L відповідного СП формується струм, інакше – струм формується на виході R. СП у сукупності мають 8 виходів, комбінація яких може формувати необхідні логічні або арифметичні функції.

За необхідністю, кількість порогів, струмових перемикачів та виходів може змінюватися для зручної побудови конкретних пристроїв.

V. ПРИКЛАДИ ПОБУДОВИ ПРИСТРОЇВ НА БПЕБЛ

Для побудови трійкового напівсуматора на основі БПЕБЛ запропоновано наступну структуру (рис. 4).

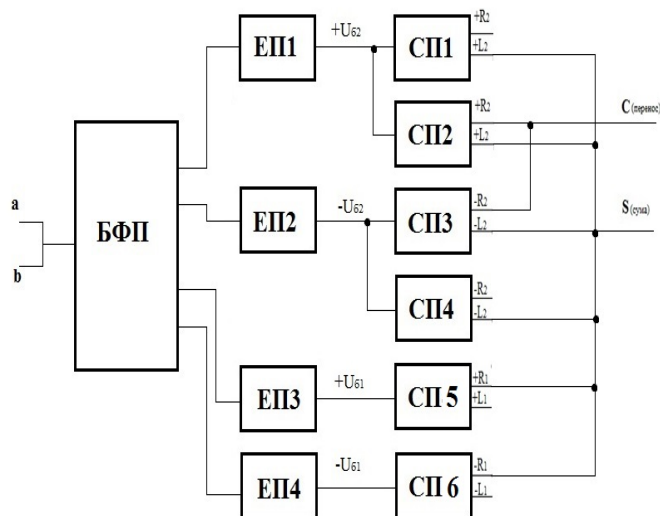


Рис. 4. Структура трійкового напівсуматора

БФП – блок формування порогів, ЕП1...ЕП4 – емітерні повторювачі, СП1...СП6 – струмові перемикачі.

В таблиці 3 наведено значення виходів струмових перемикачів СП1...СП6, в залежності від суми вхідних сигналів terlev.

ТАБЛИЦЯ IV. ЗНАЧЕННЯ ВИХІДНИХ СИГНАЛІВ СТРУМОВИХ ПЕРЕКЛЮЧАЧІВ СП1...СП6

Сума вхідних струмів terlev	Вихідні сигнали струмових перемикачів							
	СП1, СП2		СП3, СП4		СП5		СП6	
	+R ₂	+L ₂	-R ₂	-L ₂	+R ₁	+L ₁	-R ₁	-L ₁
--	0	+	-	0	0	+	-	0
-	+	0	-	0	0	+	-	0
0	+	0	-	0	+	0	-	0
+	+	0	-	0	+	0	0	-
++	+	0	0	-	+	0	0	-

В таблиці 4 наведено значення виходів S – суми та C – переносу, а також показано яким чином вони отримуються з вихідних сигналів струмових перемикачів СП1...СП6.

ТАБЛИЦЯ V. ЗНАЧЕННЯ ВИХОДІВ СУМИ S ТА ПЕРЕНОСУ C ВІД ВХІДНИХ СИГНАЛІВ ТА ФУНКЦІЇ TRRLEV

a	b	terlev	S	2(+L ₂ (ab), -L ₂ (ab))	+R ₁ (ab), -R ₁ (ab)	C	+R ₂ (ab), -R ₂ (ab)
-	-	--	+	++	-	-	-
-	0	-	-	0	-	0	0
-	+	0	0	0	0	0	0
0	-	-	-	0	-	0	0
0	0	0	0	0	0	0	0
0	+	+	+	0	+	0	0
+	-	0	0	0	0	0	0
+	0	+	+	0	+	0	0
+	+	++	-	--	+	+	+

З табл. 4 випливає, що:

$$S=2(+L_2(ab), -L_2(ab)) + (+R_1(ab), -R_1(ab))$$

$$C=(+R_2(ab), -R_2(ab))$$

Таким чином, для отримання суми S поєднуємо виходи +L₂ СП1 та СП2, -L₂ СП3 та СП4, +R₁ СП5, -R₁ СП6, а для отримання переносу C поєднуємо виходи +R₂ СП2, -R₂ СП3.

Невикористані виходи струмових перемикачів можливо застосувати в інших частинах більш складних систем.

ВИСНОВКИ

На основі запропонованої структури БПЕБЛ отримано трійкові напівсуматор, суматор, логічні елементи, що реалізують операції I, АБО, універсальний пристрій для реалізації будь-яких трійкових одномісних операцій. Отримані пристрої мають набагато простішу архітектуру (наприклад, напівсуматор на основі БПЕБЛ містить 11 блоків, прототип – 38 блоків) та є більш логічно-потужними у порівнянні з відомими системами.

ЛІТЕРАТУРА REFERENCES

- [1] Пат. 2394366 Россия, МПК (2006.01) H03K19/00. Пороговый элемент трюичной логики и элементы на его основе. Оpubл. 10.07.2010.
- [2] Пат. 2461122 Россия, МПК (2006.01) H03K19/00. Узел трюичной схемотехники и дешифраторы-переключатели на его основе. Оpubл. 10.09.2012
- [3] Пат. 2510129 Россия, МПК (2006.01) H03K19/00. Трюичный Д-триггер (варианты). Оpubл. 20.03.2014
- [4] Пат. 2015130589 Россия, МПК (2006.01) H03K19/00. Трюичный реверсивный регистр сдвига. Оpubл. 27.05.2016
- [5] Пат. 19832101 Германия. Realisierung Ternärer Grundschaltungen in CMOS Technologie (Реализация трюичных базовых схем в КМОП-технологии), Josef von Stackelberg. Заявл. 17.07.1998, опубл. 27.01.2000
- [6] Пат. 2005080257 Япония. Схема КМОП-драйвера, а также схема КМОП-инвертора / Хидэки Фукуда. Заявл. 04.09.2003, опубл. 24.03.2005.
- [7] Пат. 2278469 Р.Ф. Логическое устройство "ИЛИ" / Попов Н.Д., Лукашенко В.А. Заявл. 01.11.2004, опубл. 20.06.2006.
- [8] Пат. 2287895 Р.Ф. Логическое устройство "Отрицание" (варианты) / Попов Н.Д., Лукашенко В.А. Заявл. 01.11.2004, опубл. 20.06.2006.
- [9] Пат. UA 118735 Украина, МПК (2017.01) H03K19/00. Багатополюговий елемент багатозначної логіки / Гунченко Ю.О. Заявка 23.03.2017, опубл. 28.08.2017.